

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-202405

(43)Date of publication of application : 15.08.1989

(51)Int.Cl.

B28B 1/26

H05K 3/40

H05K 3/46

(21)Application number : 63-028055

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.02.1988

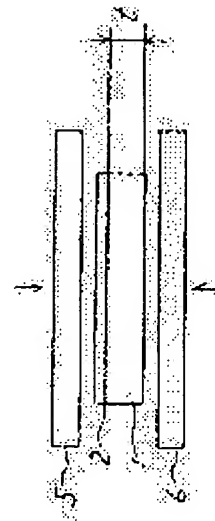
(72)Inventor : KUSAYA TOSHIHIRO

(54) FORMING METHOD OF VIA HOLE

(57)Abstract:

PURPOSE: To prevent a circumferential part of a via hole of a green sheet from deforming at the time of processing of a hole, by a method wherein the green sheet is kept compressed prior to boring processing.

CONSTITUTION: A laminated body of a green sheet 1 and carrier film 2 is compressed by presses 5, 6 prior to boring processing, the boring processing is performed and paste for a conductor is filled out into the hole. Then the paste for a circuit pattern is formed on the green sheet 1 from which the carrier film 2 has been removed, a necessary number of the green sheet are laminated, sintered and a multi-layer ceramic board is obtained. As the green sheet 1 is kept compressed prior to boring processing, density of the green sheet becomes high and a deformation of the green sheet due to punching at the time of the boring processing hardly generates. Therefore, an oozing quantity around a via hole at the time of filling the via hole with the paste can be reduced and a wiring pattern of a ceramic board can be made with high density.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-202405

⑤ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)8月15日

B 28 B 1/26
H 05 K 3/40
3/46

6865-4G

K-7454-5F

H-7342-5F 審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 ビア・ホール形成方法

⑯ 特 願 昭63-28055

⑰ 出 願 昭63(1988)2月9日

⑱ 発 明 者 草 谷 敏 弘 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 山谷 皓 榮

明細書

1. 発明の名称 ビア・ホール形成方法

2. 特許請求の範囲

(1) キャリア・フィルム付グリーン・シートに穴あけ加工を施した後、前記キャリア・フィルムをマスクとして前記穴中に導電性ペーストを充填するビア・ホール形成方法において、

穴あけ加工に先立ちグリーン・シートを圧縮しておくことを特徴とするビア・ホール形成方法。

(2) 前記グリーン・シートの圧縮を理論密度の60%以上とすることを特徴とする請求項1記載のビア・ホール形成方法。

3. 発明の詳細な説明

(目次)

概要

産業上の利用分野

従来の技術(第4図)

発明が解決しようとする課題

課題を解決するための手段(第1図)

作用

実施例(第2図、第3図)

発明の効果

(概要)

セラミック基板のビア・ホール形成方法に係り、孔加工時におけるグリーン・シートのビア・ホール周辺部の変形防止を目的とし、

キャリア・フィルム付グリーン・シートに穴あけ加工を施した後、前記キャリア・フィルムをマスクとして前記穴中に導電性ペーストを充填するビア・ホール形成方法において、穴あけ加工に先立ちグリーン・シートを圧縮しておくことを特徴とする。

(産業上の利用分野)

この発明は、多層セラミック基板の製造方法に係り、特に、多層構成とされるセラミック基板の

表裏両面のパターン間を接続するためのビア・ホール形成方法に関する。

電子機器類の小型化が進められるにしたがい、配線により一層の高密度化が望まれている。セラミック基板は、信頼性が高く、しかも苛酷な条件下でも使用しうる回路基板として重用されているが、この回路基板を用いて高密度配線を可能とすることが要望されており、そのため、多層化構造とすることが行われている。

〔従来の技術〕

セラミック基板を積層して、多層セラミック基板とすることは、例えば、第4図に示すような方法によっている。

第4図は、多層セラミック基板の製造方法の概略を工程順に示すものであり、図において、1はアルミナ粉末とガラス粉末等をバインダーで練ったいわゆるグリーン・シートであり、2はキャリア・フィルムである。このキャリア・フィルム2は、第4図(C)で詳細を説明する、導電ベース

る。

第4図(D)は、このようなビア・ホールをもつグリーン・シート37、38を積層して、高密度の配線基板を得る多層セラミック基板の製造方法を示している。グリーン・シート37、38はそれぞれビア・ホールを有し、しかも、表面にそれぞれ配線パターン35、35'及び36、36'を有している。配線パターンは、ビア・ホール形成時に用いられると同様のペーストを、シルクスクリーン法等によって得られる。このグリーン・シート37、38を積層した後、焼結を行い、多層セラミック基板を得る。

即ち、焼結することにより、グリーン・シートはセラミックに、またペーストは導電性になって、所望の回路基板が得られることとなる。

このセラミック回路基板は、ビア・ホールを有した多層構成であり、非常に高密度な配線を実現するものである。

トの充填のために用いられるものである。このセラミック基板は、まず、第4図(A)に示すように、グリーン・シート1にキャリア・フィルム2をラミネートして、これをダイ32上に載置し、パンチ31によって穴あけ加工を行う。第4図(B)は、穴あけ加工後のグリーン・シートを示しており、中央部に加工された穴3が示されている。

この穴3に、導電性ペーストを充填して、セラミック基板の表裏面を電気的に接続する。第4図(C)は、導電性ペーストを穴3内に充填する方法を示している。即ち、キャリア・フィルム2上に導電性ペースト4を置き、これをスキージ34によって穴3に充填する(フィルムマスク法)。ペースト4は、モリブデン、タングステン、銀、銅、鉛等の金属粉とバインダーを練ったものであり、焼結すると、導電性となる周知のものである。このように、ペースト4が充填されたグリーン・シートのキャリア・フィルムをはがした後、焼結することにより、導電性のビア・ホールが得られ

〔発明が解決しようとする課題〕

この従来の製造方法によると、キャリア・フィルム2、グリーン・シート1の積層体をパンチ31によって穴あけすることになるが、この場合、キャリア・フィルム2を切断するためには、どうしても、パンチ31の下降時にグリーン・シート1の周辺に下方方向の圧力を与える。このため、穴あけ時に、第4図(B)に示すごとく、グリーン・シート1に沈み込み部分33が生じてしまう。

このように、沈み込み部分33の生じたグリーン・シート1の穴3部分に対し、第4図(C)に示す如く、スキージ34によって導電性ペースト4を充填すると、沈み込み部33にまでペースト4が入り込んで、ペーストのにじみが発生する。

このようなグリーン・シート37、38を第4図(D)のように積層すると、例えばグリーン・シート38の回路パターン36と36'はグリーン・シート37のビア・ホールの周辺に生じたペースト4'のにじみによって短絡されてしまう。回路パターンの短絡を防ぐためには、回路パター

ン間の距離を広くとり、ペーストののにじみによって短絡されることのないようにする必要があるが、このことは、セラミック基板の高密度化と矛盾することになる。

従って、この発明の解決すべき課題は、上述のようなビア・ホール周辺におけるペーストののにじみをできるだけ少なくし、高密度配線を可能とするセラミック基板を実現することである。

この発明は、このような点に鑑みてなされたものであり、セラミック基板の高密度化を妨げることのない、ビア・ホール形成方法を提供することを目的としている。

〔課題を解決するための手段〕

第1図は、本発明のビア・ホール形成方法の原理図を示す。

第1図において、1はグリーン・シート、2はキャリア・フィルムであり、第4図と共に説明した従来例と同様である。この発明においては、グリーン・シート1、キャリア・フィルム2の積層

〔実施例〕

第2図は、この発明の実施例を示す。この実施例では、第2図(A)に示すように、グリーン・シート1の厚さを、理論密度の70%以上にするため圧縮する前の厚さ t の例えば0.7倍(0.7 t)としている。このように圧縮したグリーン・シート1とキャリア・フィルム2との積層体をパンチによって穴あけ加工を行う。第2図(B)は、穴あけ後の積層体を示している。図示のとおり、穴3の周辺のグリーン・シート1の変形量は、大幅に抑制され無視できる程度に抑制されていることがわかる。

グリーン・シート1は、アルミナ等とバインダを混練して成形されるが、成形後の密度は、理論密度の約50%程度である。このグリーン・シートを圧縮して、理論密度の60%程度にすると、穴あけ加工時のグリーン・シート変形量の減少効果が表われ、好ましくは70%以上とすることにより、穴あけ加工時のグリーン・シート変形量を実用上無視できる程度に非常に小さくほぼ0にす

体を、穴あけ加工する前に、プレス5、6によって圧縮して、密度を高めることを特徴としている。

グリーン・シート1、キャリア・フィルム2の積層体を圧縮した後、従来例と同様穴あけ加工し、導体用のペーストを充填する。その後、キャリア・フィルム2を取除いたグリーン・シート1に回路パターン用のペーストを形成し、必要な枚数のグリーン・シートを積層して、焼結し、多層セラミック基板を得る。

〔作用〕

穴あけ加工前に、グリーン・シート1を圧縮しているため、グリーン・シートの密度が高くなり、穴あけ加工時のパンチによるグリーン・シートの変形が少なくなる。そのため、ビア・ホールにペーストを充填したときのビア・ホール周辺ののにじみを大幅に減らすことができ、セラミック基板の配線パターンを高密度とすることができる。

ることができる。

実際には、穴の大きさ、グリーン・シートの厚さ、許容されるペーストののにじみ量等によって必要な圧縮度が決定されるが、前述のとおり、理論密度の60%程度好ましくは70%以上とすることにより、グリーン・シートの変形量を大幅に減らすことができる。

変形量の測定値を第3図に示す。

グリーン・シート材料としてアルミナ粉末にガラス粉末を混合したものを使用し、従来通りの成形後の厚さを300 μm としたとき、穴あけのときの変形量は250 μm であった。

しかしこれを200 kg/cm^2 でプレスし、その厚さを250 μm にしたとき(理論密度約60%)穴あけ加工の変形量は80 μm に減少し、さらに高圧でプレスして理論密度を70%としたとき第3図に示す如く、大幅に変形量が減少し、実用上ほぼ無視できる程度のものとなった。

〔発明の効果〕

以上述べてきたように、この発明によれば、グリーン・シートの穴あけ加工時における穴周辺の変形量を大幅に減らすことができるので、穴内に導電性のペーストを充填した時の導電性ペーストのにじみを抑制することができる。そのため、多層セラミック基板を構成した時の配線パターン密度を上げることができる。

4. 図面の簡単な説明

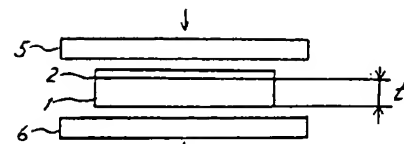
第1図はこの発明の原理図、

第2図はこの発明の実施例を示す図、

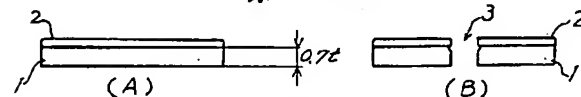
第3図は変形状態説明図、

第4図は従来例を示す図である。

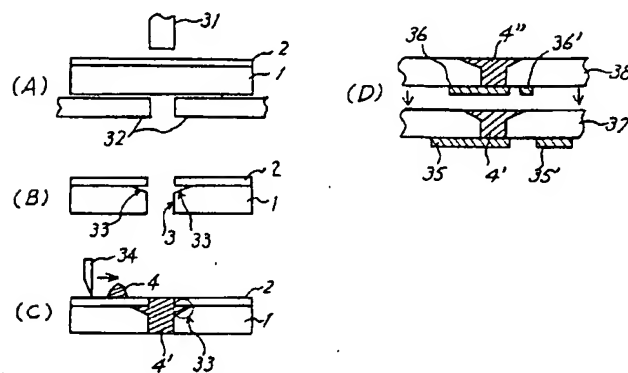
- 1……グリーン・シート
- 2……キャリア・フィルム
- 3……穴
- 4……導電性ペースト
- 5、6……プレス



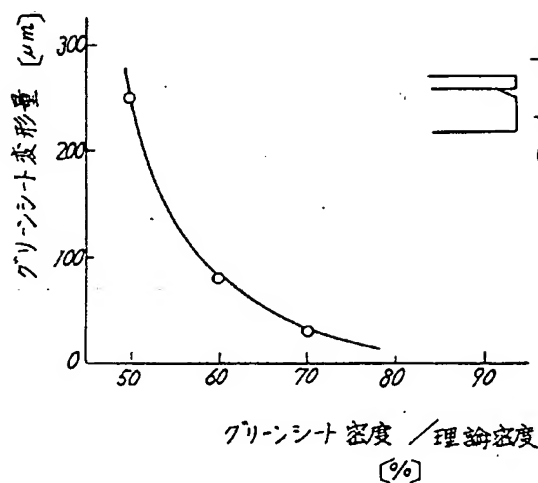
原理図
第1図



実施例
第2図



従来例
第4図



変形状態説明図

第3図